

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020040075566 A
(43)Date of publication of application: 30.08.2004

(21)Application number: 1020030011111
(22)Date of filing: 21.02.2003

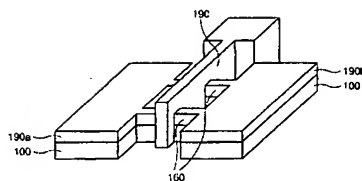
(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: CHOI, JEONG DONG
KIM, SEONG HO
KIM, SEONG MIN
LEE, CHANG SEOP
LEE, SIN AE
PARK, DONG GEON

(51)Int. Cl. H01L 21 /8232

(54) METHOD FOR FORMING FINFET

(57) Abstract:

PURPOSE: A method for forming a FINFET(FIN Field Effect Transistor) is provided to increase a channel area and an operating speed by forming the FINFET having two channel pins according to an existing transistor fabrication process. CONSTITUTION: An active region is defined on a silicon substrate(100) by forming an isolation layer. A hard mask is formed on the active region. A hole is formed by removing selectively the hard mask. A plurality of spacers are formed on both sides of the hole. A plurality of pins(160) are formed by performing an etch process using the spacers. A gate insulating layer is formed to coat the pins. A gate(190) is formed on the gate insulating layer.



copyright KIPO 2004

Legal Status

Date of request for an examination (20030314)
Notification date of refusal decision (00000000)
Final disposal of an application (registration)
Date of final disposal of an application (20050728)
Patent registration number (1005213770000)
Date of registration (20051006)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent (00000000)
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. H01L 21/8232	(11) 공개번호 (43) 공개일자	10-2004-0075566 2004년08월30일
(21) 출원번호	10-2003-0011111	
(22) 출원일자	2003년02월21일	
(71) 출원인	삼성전자주식회사 대한민국 442-742 경기도 수원시 영통구 매탄동 416	
(72) 발명자	김성민 대한민국 403-103 인천광역시 부평구 부개3동 상부아파트 108동 2204호 박동건 대한민국 463-500 경기도 성남시 분당구 구미동 무지개마을 제일아파트 801동 401호 이창섭 대한민국 441-400 경기도 수원시 권선구 국반정동 579번지 한솔아파트 104동 1202호 최정동 대한민국 431-058 경기도 안양시 동안구 달안동 셋별 한양아파트 302동 905호 이신애 대한민국 440-600 경기도 수원시 장안구 수원우체국사서함 125호 15동 519호 김성호 대한민국 449-901 경기도 용인시 기흥읍 농서리 산 7-1 월계수동 214호	
(74) 대리인	임창현 권혁수	
(77) 심사청구	있음	
(54) 출원명	핀 전계효과 트랜지스터의 형성방법	

요약

본 발명은 핀 전계효과 트랜지스터의 형성방법을 개시한다. 개시된 본 발명은, 소자본리막에 의해 활성영역이 정의되고 상기 활성영역상에 하드 마스크가 형성되어 있는 실리콘 기판을 제공하는 단계; 상기 하드마스크를 선택적으로 제거하여 홈을 형성하는 단계; 상기 홈의 양측벽에 스페이서를 각각 형성하는 단계; 상기 스페이서를 마스크로 하는 식각으로 상기 기판을 일부 제거하여 적어도 2개의 핀을 형성하는 단계; 상기 핀을 피복하는 게이트 절연막을 형성하는 단계; 및 상기 게이트 절연막상에 게이트를 형성하는 단계를 포함하는 것을 특징으로 한다. 이에 따르면, 기존의 트랜지스터 공정을 그대로 이용하여 적어도 2개의 채널 핀을 가지는 핀 전계효과 트랜지스터를 형성할 수 있어서 채널 면적의 증가에 따른 소자의 빠른 동작을 구현할 수 있는 효과가 있다.

대표도

도 8

명세서

도면의 간단한 설명

도 1은 종래의 핀 전계효과 트랜지스터를 도시한 사시도이다.

도 2 내지 도 7은 본 발명의 실시예1에 따른 핀 전계효과 트랜지스터의 형성방법을 도시한 공정별 단면도이다.

도 8은 본 발명의 실시예1에 따라 형성된 핀 전계효과 트랜지스터를 도시한 사시도이다.

도 9 내지 도 12는 본 발명의 실시예2에 따라 형성된 핀 전계효과 트랜지스터를 도시한 공정별 단면도이다.

도 13은 본 발명의 실시예2에 따라 형성된 핀 전계효과 트랜지스터를 도시한 사시도이다.

도 14 내지 도 19는 본 발명의 실시예3에 따른 핀 전계효과 트랜지스터의 형성방법을 도시한 공정별 단면도이다.

도 20 내지 도 23은 본 발명의 실시예4에 따른 핀 전계효과 트랜지스터의 형성방법을 도시한 공정별 단면도이다.

< 도면의 주요부분에 대한 부호의 설명 >

100,300: 실리콘 기판○○○200,400: 에스오아이(SOI) 기판

210,410: 매몰 산화막○○○120,220,320,420: 하드마스크

130,230,330,430: 소자분리막○○140,240,340,440: 홀

150,250: 스페이서○○○○160,260,360,460: 핀

170,370: 제1산화막○○○180,280,380,480: 게이트 절연막

190,290,390,490: 게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 핀 전계효과 트랜지스터의 형성방법에 관한 것으로, 보다 상세하게는 기존의 트랜지스터 공정을 이용하여 2개의 채널을 가진 핀 전계효과 트랜지스터의 형성방법에 관한 것이다.

일반적으로 MOSFET, 즉 금속-산화막-반도체 전계효과 트랜지스터는 고성능화와 고집적화의 일환으로 소자 크기의 축소가 종래부터 진행되어 오고 있다. 특히, 50 나노미터(nm) 이하의 극소 채널을 가지는 차세대 트랜지스터를 구현하기 위해서는 드레인 전압에 의해 채널의 전위가 영향을 받는 단채널 효과(short channel effect)를 효과적으로 억제하는 것이 필수적이다.

최근, 전계효과 트랜지스터(FET:Field Effect Transistor)의 게이트 전극 길이를 20 내지 30 나노미터(nm) 정도까지 축소하기 위해서 많은 연구가 진행되어 오고 있다. 그러나, 현재까지 발표된 연구 결과로는 상용 제품에 적용될 수준의 특성을 얻지는 못하고 있다. 이는 극히 짧은 소오스 영역과 드레인 영역간의 거리에 의해 야기되는 단채널 효과를 효과적으로 억제하기 곤란한데서 연유한다.

따라서, 기존의 평면구조의 소자를 그대로 적용하는 것은 안정된 소자의 동작을 획득하는데 어려움이 따른다. 이에, 기존의 평면구조를 대신하여 얇은 채널 양편에 게이트를 두어 채널쪽의 전위를 효과적으로 조절할 수 있는 이중 게이트 전계효과 트랜지스터가 가장 유력한 차세대 소자의 후보로서 연구되고 있다.

이러한 노력의 일환의 하나가 바로, 도 1에 도시된 바와 같은, 핀 전계효과 트랜지스터(FINFET:Fin Field Effect Transistor)이다.

도 1을 참조하여, 핀 전계효과 트랜지스터는 매몰 산화막(11:buried oxide)이 있는 실리콘 기판(10:silicon substrate) 상면에 채널 역할을 하는 핀(12:pin)과, 핀(12)의 양측에 형성된 소오스(14) 및 드레인(16)과, 소오스(14)와 드레인(16)을 분리하는 갭(gap) 사이에 형성된 게이트(18)를 포함한다.

이러한 핀 전계효과 트랜지스터는 기존의 평면구조의 반도체 기술과 높은 호환성을 가지는 장점을 가진다.

발명이 이루고자 하는 기술적 과제

본 발명은 기존의 평면구조를 대신하여 제안된 핀 전계효과 트랜지스터의 형성방법에 관한 것으로, 본 발명의 목적은 기존의 트랜지스터 공정을 이용하여 적어도 2개의 핀을 형성함으로써 채널 면적이 증가되고 소자의 동작 속도가 향상된 핀 전계효과 트랜지스터의 형성방법을 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 실시예1에 따른 핀 전계효과 트랜지스터 형성방법은, 소자분리막에 의해 활성영역이 정의되고 상기 활성영역상에 하드마스크가 형성되어 있는 실리콘 기판을 제공하는 단계; 상기 하드마스크를 선택적으로 제거하여 홀을 형성하는 단계; 상기 홀의 양측벽에 스페이서를 각각 형성하는 단계; 상기 스페이서를 마스크로 하는 식각으로 상기 기판을 일부 제거하여 적어도 2개의 핀을 형성하는 단계; 상기 핀을 피복하는 게이트 절연막을 형성하는 단계; 및 상기 게이트 절연막상에 게이트를 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 게이트 절연막을 형성하는 첫번째 방법은, 상기 스페이서를 식각하는 단계; 상기 홀의 바닥면까지 상기 소자분리막을 일부 식각하여 상기 핀을 노출시키는 단계; 및 상기 노출된 핀의 표면과 상기 홀의 바닥면에 게이트 절연막용 산화막을 증착하는 단계를 포함하는 것을 특징으로 한다.

상기 게이트 절연막을 형성하는 두번째 방법은, 상기 스페이서를 식각하는 단계; 상기 홀의 바닥면까지 소자분리막을 일부 식각하여 상기 핀을 노출시키는 단계; 상기 노출된 핀을 모두 피복하도록 상기 홀 바닥면과 상기 소자분리막 전면에 제1산화막을 증착하는 단계; 상기 핀의 일부는 노출되지만 상기 홀의 바닥면이 노출되지 않도록 상기 제1산화막을 일부 식각하는 단계; 및 상기 일부 노출된 핀의 표면에 제2산화막을 증착하는 것을 특징으로 한다.

상기 스페이서는 SiN와 같은 실리콘질화막인 것을 특징으로 한다.

상기 목적을 달성하기 위한 본 발명의 실시예2에 따른 핀 전계효과 트랜지스터의 형성방법은, 소자분리막에 의해 활성영역이 정의되고 상기 활성영역상에 하드마스크가 형성되어 있는 매몰 산화막을 포함하는 에스오아이(SOI) 기판을 제공하는 단계; 상기 하드마스크를 선택적으로 제거하여 홈을 형성하는 단계; 상기 홈의 양측벽에 스페이서를 각각 형성하는 단계; 상기 스페이서를 마스크로 하는 식각으로 상기 매몰 산화막이 노출되도록 상기 기판을 일부 제거하여 적어도 2개의 핀을 형성하는 단계; 상기 핀을 피복하는 게이트 절연막을 형성하는 단계; 및 상기 게이트 절연막상에 게이트를 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 게이트 절연막을 형성하는 단계는, 상기 스페이서를 식각하는 단계; 상기 홈의 바닥면까지 소자분리막을 일부 식각하여 상기 핀을 노출시키는 단계; 및 상기 노출된 핀의 표면을 피복하는 게이트 절연막용 산화막을 증착하는 단계를 포함하는 것을 특징으로 한다.

상기 스페이서는 SiN과 같은 실리콘질화막인 것을 특징으로 한다.

상기 목적을 달성하기 위한 본 발명의 실시예3에 따른 핀 전계효과 트랜지스터의 형성방법은, 트렌치가 형성되어 있고 활성영역상에 하드마스크가 형성되어 있는 실리콘 기판을 제공하는 단계; 상기 하드마스크를 일부 제거하여 상기 하드마스크 양측면 아래의 활성영역을 노출시키는 단계; 상기 노출된 활성영역을 피복하도록 상기 트렌치내에 소자분리막을 형성하는 단계; 상기 하드마스크를 전부 제거하는 단계; 상기 소자분리막을 마스크로 하는 식각으로 상기 기판 일부를 제거하여 홈을 형성하고, 이와 동시에 상기 홈에 의해 이격되는 적어도 2개의 핀을 형성하는 단계; 상기 핀을 피복하는 게이트 절연막을 형성하는 단계; 및 상기 게이트 절연막상에 게이트를 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 게이트 절연막을 형성하는 첫번째 방법은, 기 홈의 바닥면까지 상기 소자분리막을 일부 식각하여 상기 핀을 노출시키는 단계; 및 기 노출된 핀 표면과 상기 홈의 바닥면에 게이트 절연막용 산화막을 증착하는 단계를 포함하는 것을 특징으로 한다.

상기 게이트 절연막을 형성하는 두번째 방법은, 상기 홈을 제1산화막으로 매립하는 단계; 상기 핀은 일부 노출되지만 상기 홈의 바닥면이 노출되지 않도록 상기 소자분리막과 제1산화막을 일부 식각하는 단계; 및 상기 일부 노출된 핀 표면을 피복하도록 제2산화막을 증착하는 단계를 포함하는 것을 특징으로 한다.

상기 핀의 임계치수는 상기 하드마스크를 일부 제거하는 시간에 의해 조절되는 것을 특징으로 한다.

상기 목적을 달성하기 위한 본 발명의 실시예4에 따른 핀 전계효과 트랜지스터의 형성방법은, 트렌치가 형성되어 있고 활성영역상에 하드마스크가 형성되어 있는 매몰 산화막을 포함하는 에스오아이(SOI) 기판을 제공하는 단계; 상기 하드마스크를 일부 제거하여 상기 하드마스크 양측면 아래의 활성영역을 노출시키는 단계; 상기 노출된 활성영역을 피복하도록 상기 트렌치내에 소자분리막을 형성하는 단계; 상기 하드마스크를 전부 제거하는 단계; 상기 소자분리막을 마스크로 하는 식각으로 상기 매몰 산화막이 노출되도록 상기 기판 일부를 제거하여 홈을 형성하고, 이와 동시에 상기 홈에 의해 이격되는 적어도 2개의 핀을 형성하는 단계; 상기 핀을 피복하는 게이트 절연막을 형성하는 단계; 및 상기 게이트 절연막상에 게이트를 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 게이트 절연막을 형성하는 단계는, 상기 홈의 바닥면까지 소자분리막을 일부 식각하여 상기 핀을 노출시키는 단계; 및 상기 노출된 핀의 표면을 피복하는 게이트 절연막용 산화막을 증착하는 단계를 포함하는 것을 특징으로 한다.

상기 핀의 임계치수는 상기 하드마스크를 일부 제거하는 시간에 의해 조절되는 것을 특징으로 한다.

본 발명에 의하면, 기존의 트랜지스터 공정을 그대로 이용하여 적어도 2개의 채널 핀을 가지는 핀 전계효과 트랜지스터를 형성할 수 있어 채널면적의 증가에 따른 빠른 동작 속도를 갖는 핀 전계효과 트랜지스터를 구현할 수 있게 된다.

이하, 본 발명에 따른 핀 전계효과 트랜지스터의 형성방법을 첨부한 도면을 참조하여 상세히 설명한다.

본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면에 있어서, 막 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 막이 다른 막 또는 기판"상"에 있다고 언급되어지는 경우는 그것은 다른 막 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 막이 개재될 수 있다. 명세서 전체에 걸쳐서 동일한 도면부호는 동일한 구성요소를 나타낸다.

도 2 내지 도 7은 본 발명의 실시예1에 따른 핀 전계효과 트랜지스터의 형성방법을 도시한 공정별 단면도이고, 도 8은 본 발명의 실시예1에 따라 형성된 핀 전계효과 트랜지스터를 도시한 사시도이다.

도 9 내지 도 12는 본 발명의 실시예2에 따라 형성된 핀 전계효과 트랜지스터를 도시한 공정별 단면도이고, 도 13은 본 발명의 실시예2에 따라 형성된 핀 전계효과 트랜지스터를 도시한 사시도이다.

도 14 내지 도 19는 본 발명의 실시예3에 따른 핀 전계효과 트랜지스터의 형성방법을 도시한 공정별 단면도이고, 도 20 내지 도 23은 본 발명의 실시예4에 따른 핀 전계효과 트랜지스터의 형성방법을 도시한 공정별 단면도이다.

(실시예1)

본 발명의 실시예1에 따른 핀 전계효과 트랜지스터의 형성방법은, 도 2에 도시된 바와 같이, 먼저 소자분리막(130)에 의해 활성영역(A)이 정의되고 활성영역(A)상에 하드마스크(120)가 형성되어 있는 실리콘 기판(100)을 준비한다. 하드마스크(120)는 산화가 잘 일어나지 않는 질화막인 것이 실리콘 기판(100)의 활성영역(A)을 식각 공정 등으로부터 보호하기에 바람직하다.

그다음, 도 3에 도시된 바와 같이, 소자분리막(130)과의 식각선택비가 우수한 식각 공정 등을 이용하여 기판(100)의 활성영역(A)이 노출되도록 하드마스크(120)를 선택적으로 제거하여 홈(140)을 형성한다. 이때 소자분리막(130)과 활성영역(A) 각각은 홈(140)의 측벽과 바닥면을 이룬다. 계속하여 홈(140)의 양측벽에 스페이서(150)를 SiN과 같은 실리콘질화막을 증착하여 스페이서(150)를 형성한다.

이어서, 도 4에 도시된 바와 같이, 스페이서(150)를 마스크로 하는 식각으로 기판(100)을 일부 제거한다. 그리하여, 기판(100) 표면으로부터 신장되고 얇고 수직인 형태의 실리콘으로 구성되는 적어도 2개의 핀(160)이 형성된다.

그런다음, 핀(160)을 피복하는 게이트 절연막과 게이트를 형성하는데 이를 형성하는데는 다음과 같이 도 5에 도시된 첫번째 방법과, 도 6 및 도 7에 도시된 두번째 방법을 고려할 수 있다.

게이트 절연막과 게이트를 형성하는 첫번째 방법은, 도 5에 도시된 바와 같이, 먼저 스페이서(150)를 식각한 다음, 홀(140)의 바닥면까지 소자 분리막(130)을 일부 식각한다. 그결과, 홀(140)에 의해 어느 일측면만이 노출되고 소자 분리막(130)에 의해 타측면은 노출되지 아니하였던 핀(160)은 일부 식각된 소자 분리막(130a)에 의해 양측면 모두 노출된다. 계속하여, 노출된 핀(160)의 표면과 홀(140)의 바닥면에 게이트 절연막용 산화막(180)을 증착하여 게이트 절연막(180)을 형성한다. 이어서, 게이트 절연막(180)상에 폴리실리콘과 같은 전도성 물질의 증착과 패터닝으로 게이트(190)를 형성한다.

게이트 절연막과 게이트를 형성하는 두번째 방법은, 도 6에 도시된 바와 같이, 먼저 먼저 스페이서(150)를 식각한 다음, 홀(140)의 바닥면까지 소자 분리막(130)을 일부 식각한다. 그결과, 홀(140)에 의해 어느 일측면만이 노출되고 소자 분리막(130)에 의해 타측면은 노출되지 아니하였던 핀(160)은 일부 식각된 소자 분리막(130a)에 의해 양측면 모두 노출된다. 계속하여, 노출된 핀(160)을 모두 피복하도록 홀(140) 바닥면과 일부 식각된 소자 분리막(130a) 전면에 제1산화막(170)을 증착한다.

이어서, 도 7에 도시된 바와 같이, 핀(160)의 일부는 노출되지만 홀(140)의 바닥면이 노출되지 않도록 제1산화막(170)을 일부 식각하여 홀(140)의 바닥면과 소자 분리막(130a) 상에 박막 형태의 제1산화막(170a)으로 형성한다. 그런다음, 일부 노출된 핀(160)의 표면에 제2산화막(180)을 증착하여 게이트 절연막(180)을 형성한다. 이때, 홀(140)의 바닥면에는 이미 제1산화막(170a)이 박막 형태로 증착되어 있으므로 제2산화막(180)의 증착은 요구되지 아니한다. 계속하여, 게이트 절연막(180)상에 폴리실리콘과 같은 전도성 물질의 증착과 패터닝으로 게이트(190)를 형성한다.

상기와 같은 일련의 공정으로 형성된 핀 전계효과 트랜지스터는, 도 8에 도시된 바와 같이, 실리콘 기판(100)상에 얇고 수직한 형태의 핀(160)이 적어도 2개 형성되어 있고, 핀(160)의 길이 방향과 수직하는 방향으로 게이트(190)가 위치한다. 여기서, 채널 역할을 하는 핀(160)은 적어도 2개가 형성되어 있으므로 종래보다 채널의 면적이 증가되어 소자의 동작 속도가 향상된다. 미설명 도면부호 190a와 190b는 후속하는 도핑 공정 등으로 형성되는 소오스와 드레인을 각각 지시하며, 핀(160)의 일측면은 소오스(190a)와 연결되고 타측면은 드레인(190b)에 연결된다.

(실시예2)

본 발명의 실시예2에 따른 핀 전계효과 트랜지스터의 형성방법은, 도 9에 도시된 바와 같이, 먼저 소자 분리막(230)에 의해 활성영역(A)이 정의되고 활성영역(A)상에 하드마스크(220)가 형성되어 있는 매몰 산화막(210:buried oxide)을 포함하는 에스오아이(SOI:Silicon On Insulator) 기판(200)을 준비한다. 하드마스크(220)는 산화가 잘 일어나지 않는 질화막인 것이 기판(200)의 활성영역(A)을 식각 공정 등으로부터 보호하기에 바람직하다.

그다음, 도 10에 도시된 바와 같이, 소자 분리막(230)과의 식각선택비가 우수한 식각 공정 등을 이용하여 기판(200)의 활성영역(A)이 노출되도록 하드마스크(220)를 선택적으로 제거하여 홀(240)을 형성한다. 이때 소자 분리막(230)과 활성영역(A) 각각은 홀(240)의 측벽과 바닥면을 이룬다. 계속하여 홀(240)의 양측벽에 SiN과 같은 실리콘질화막을 증착하여 스페이서(250)를 형성한다.

이어서, 도 11에 도시된 바와 같이, 스페이서(250)를 마스크로 하는 식각으로 상기 매몰 산화막(210)이 노출되도록 기판(200)을 일부 제거한다. 그리하여, 기판(200) 표면으로부터 신장되고 얇고 수직한 형태의 실리콘으로 구성되는 적어도 2개의 핀(260)이 형성된다.

그런다음, 도 12에 도시된 바와 같이, 먼저 스페이서(250)를 식각한 다음, 홀(240)의 바닥면인 매몰 산화막(210)까지 소자 분리막(230)을 일부 식각한다. 그결과, 홀(240)에 의해 어느 일측면만이 노출되고 소자 분리막(230)에 의해 타측면은 노출되지 아니하였던 핀(260)은 일부 식각된 소자 분리막(230a)에 의해 양측면 모두 노출된다. 계속하여, 노출된 핀(260)의 표면에 게이트 절연막용 산화막(280)을 증착하여 게이트 절연막(280)을 형성한다. 이어서, 게이트 절연막(280)상에 폴리실리콘과 같은 전도성 물질의 증착과 패터닝으로 게이트(290)를 형성한다.

상기와 같은 일련의 공정으로 형성된 핀 전계효과 트랜지스터는, 도 13에 도시된 바와 같이, 매몰 산화막(210)을 포함하는 기판(200)상에 얇고 수직한 형태의 핀(260)이 적어도 2개 형성되어 있고, 핀(260)의 길이 방향과 수직하는 방향으로 게이트(290)가 위치한다. 여기서, 채널 역할을 하는 핀(260)은 적어도 2개가 형성되어 있으므로 종래보다 채널의 면적이 증가되어 소자의 동작 속도가 향상된다. 미설명 도면부호 290a와 290b는 후속하는 도핑 공정 등으로 형성되는 소오스와 드레인을 각각 지시하며, 핀(260)의 일측면은 소오스(290a)와 연결되고 타측면은 드레인(290b)에 연결된다.

(실시예3)

본 발명의 실시예3에 따른 핀 전계효과 트랜지스터의 형성방법은, 도 14에 도시된 바와 같이, 트렌치(300')가 형성되어 있고 활성영역(A)상에 하드마스크(320)가 형성되어 있는 실리콘 기판(300)을 준비한다. 하드마스크(320)는 산화가 잘 일어나지 않는 질화막인 것이 기판(300)의 활성영역(A)을 식각 공정 등으로부터 보호하기에 바람직하다.

이어서, 도 15에 도시된 바와 같이, 하드마스크(320)를 풀백(pull back)공정으로 양측면 일부를 제거한다. 그리하여, 풀백(pull back)된 하드마스크(320a) 양측면 아래의 활성영역(A')을 노출시킨다. 이때, 풀백 공정의 진행 시간을 조절함으로써 후속하는 핀(도 16의 360 참조)의 임계치수(CD:critical dimension)를 결정할 수 있다. 그런다음, 노출된 활성영역(A')을 피복하도록 트렌치(300')내에 산화막과 같은 절연막을 매립하여 소자 분리막(330)을 형성한다.

이어서, 도 16에 도시된 바와 같이, 하드마스크(320a)를 전부 제거하고, 소자 분리막(330)을 마스크로 하는 식각으로 기판(300) 일부를 제거하여 홀(340)을 형성한다. 이때, 홀(340) 형성과 동시에 홀(340)에 의해 이격되는 적어도 2개의 핀(360)이 형성된다. 핀(360)은 기판(300) 표면으로부터 신장되고 얇고 수직한 형태를 지니며 채널(channel) 역할을 담당한다.

그런다음, 핀(360)을 피복하는 게이트 절연막과 게이트를 형성하는데 이를 형성하는데는 다음과 같이 도 17에 도시된 첫번째 방법과, 도 18 및 도 19에 도시된 두번째 방법을 고려할 수 있다.

게이트 절연막과 게이트를 형성하는 첫번째 방법은, 도 17에 도시된 바와 같이, 먼저 홀(340)의 바닥면까지 소자분리막(330)을 일부 식각한다. 그결과, 홀(340)에 의해 어느 일측면만이 노출되고 소자분리막(330)에 의해 타측면은 노출되지 아니하였던 핀(360)은 일부 식각된 소자분리막(330a)에 의해 양측면 모두 노출된다. 계속하여, 노출된 핀(360)의 표면과 홀(340)의 바닥면에 게이트 절연막용 산화막(380)을 증착하여 게이트 절연막(380)을 형성한다. 이어서, 게이트 절연막(380)상에 폴리실리콘과 같은 전도성 물질의 증착과 패터닝으로 게이트(390)를 형성한다.

게이트 절연막과 게이트를 형성하는 두번째 방법은, 도 18에 도시된 바와 같이, 먼저 제1산화막(370)의 증착과 평탄화 공정 등을 이용하여 홀(340)을 매립한다.

이어서, 도 19에 도시된 바와 같이, 핀(360)은 일부 노출되지만 홀(340)의 바닥면이 노출되지 않도록 소자분리막(330)과 제1산화막(370)을 일부 식각한다. 그결과, 핀(360)은 일부 식각된 제1산화막(370a)과 소자분리막(330a)에 의해 기저부 일부를 제외한 거의 전표면이 노출된다. 그다음, 일부 노출된 핀(360) 표면을 피복하도록 제2산화막(380)을 증착하여 게이트 절연막(380)을 형성한 다음, 게이트 절연막(380)상에 폴리실리콘과 같은 전도성 물질의 증착과 패터닝으로 게이트(390)를 형성한다.

상기와 같은 본 발명의 실시예3의 방법으로 형성되는 핀 전계효과 트랜지스터는, 도 8에 도시된 본 발명의 실시예1에 따른 핀 전계효과 트랜지스터의 구조와 동일하므로 여기에서 자세한 도시와 설명은 생략하기로 한다.

(실시예4)

본 발명의 실시예4에 따른 핀 전계효과 트랜지스터의 형성방법은, 도 20에 도시된 바와 같이, 트렌치(400')가 형성되어 있고 활성영역(A)상에 하드마스크(420)가 형성되어 있는 매몰 산화막(410)을 포함하는 에스오아이(SOI) 기판을 준비한다. 하드마스크(420)는 산화가 잘 일어나지 않는 절화막인 것이 기판(400)의 활성영역(A)을 식각 공정 등으로부터 보호하기에 바람직하다.

이어서, 도 21에 도시된 바와 같이, 하드마스크(420)를 풀백(pull back)공정으로 양측면 일부를 제거한다. 그리하여, 풀백(pull back)된 하드마스크(420a) 양측면 아래의 활성영역(A')을 노출시킨다. 이때, 풀백 공정의 진행 시간을 조절함으로써 후속하는 핀(도 22의 460 참조)의 임계치수(CD:critical dimension)를 결정할 수 있다. 그다음, 노출된 활성영역(A')을 피복하도록 트렌치(400')내에 산화막과 같은 절연막을 매립하여 소자분리막(430)을 형성한다.

그다음, 도 22에 도시된 바와 같이, 하드마스크(420a)를 전부 제거하고, 소자분리막(430)을 마스크로 하는 식각으로 매몰 산화막(410)이 노출되도록 기판(400) 일부를 제거하여 홀(440)을 형성한다. 이때, 홀(440) 형성과 동시에 홀(440)에 의해 이격되는 적어도 2개의 핀(460)이 형성된다. 핀(460)은 기판(400) 표면으로부터 신장되고 얇고 수직한 형태를 지니며 채널(channel) 역할을 담당한다.

이어서, 도 23에 도시된 바와 같이, 게이트 절연막과 게이트를 형성하기 위하여 먼저 홀(440)의 바닥면까지 소자분리막(430)을 일부 식각한다. 그결과, 홀(440)에 의해 어느 일측면만이 노출되고 소자분리막(430)에 의해 타측면은 노출되지 아니하였던 핀(460)은 일부 식각된 소자분리막(430a)에 의해 양측면 모두 노출된다. 계속하여, 노출된 핀(460)의 표면에 게이트 절연막용 산화막(480)을 증착하여 게이트 절연막(480)을 형성한다. 이어서, 게이트 절연막(480)상에 폴리실리콘과 같은 전도성 물질의 증착과 패터닝으로 게이트(490)를 형성한다.

상기와 같은 본 발명의 실시예4의 방법으로 형성되는 핀 전계효과 트랜지스터는, 도 13에 도시된 본 발명의 실시예2에 따른 핀 전계효과 트랜지스터의 구조와 동일하므로 여기에서 자세한 도시와 설명은 생략하기로 한다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따른 핀 전계효과 트랜지스터의 형성방법에 의하면, 기존의 트랜지스터 공정을 그대로 이용하여 적어도 2개의 채널 핀을 가지는 핀 전계효과 트랜지스터를 형성할 수 있다. 이를 이용하면, 채널의 면적이 증가하여 소자의 동작 속도를 빠르게 할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

소자분리막에 의해 활성영역이 정의되고 상기 활성영역상에 하드마스크가 형성되어 있는 실리콘 기판을 제공하는 단계;

상기 하드마스크를 선택적으로 제거하여 홀을 형성하는 단계;

상기 홀의 양측벽에 스페이서를 각각 형성하는 단계;

상기 스페이서를 마스크로 하는 식각으로 상기 기판을 일부 제거하여 적어도 2개의 핀을 형성하는 단계;

상기 핀을 피복하는 게이트 절연막을 형성하는 단계; 및

상기 게이트 절연막상에 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

청구항 2.

제1항에 있어서,

상기 게이트 절연막을 형성하는 단계는,

상기 스페이서를 식각하는 단계;

상기 홀의 바닥면까지 상기 소자분리막을 일부 식각하여 상기 핀을 노출시키는 단계; 및

상기 노출된 핀의 표면과 상기 홀의 바닥면에 게이트 절연막용 산화막을 증착하는 단계를 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

청구항 3.
제1항에 있어서,

상기 게이트 절연막을 형성하는 단계는,

상기 스페이서를 식각하는 단계;

상기 홀의 바닥면까지 소자분리막을 일부 식각하여 상기 핀을 노출시키는 단계;

상기 노출된 핀을 모두 피복하도록 상기 홀 바닥면과 상기 소자분리막 전면상에 제1산화막을 증착하는 단계;

상기 핀의 일부는 노출되지만 상기 홀의 바닥면이 노출되지 않도록 상기 제1산화막을 일부 식각하는 단계; 및

상기 일부 노출된 핀의 표면에 제2산화막을 증착하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

청구항 4.
제1항 내지 제3항 중 어느 한 항에 있어서,

상기 스페이서는 실리콘질화막인 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

청구항 5.
제4항에 있어서,

상기 실리콘질화막은 SiN인 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

청구항 6.
소자분리막에 의해 활성영역이 정의되고 상기 활성영역상에 하드마스크가 형성되어 있는 매몰 산화막을 포함하는 에스오아이(SOI) 기판을 제공하는 단계;

상기 하드마스크를 선택적으로 제거하여 홀을 형성하는 단계;

상기 홀의 양측벽에 스페이서를 각각 형성하는 단계;

상기 스페이서를 마스크로 하는 식각으로 상기 매몰 산화막이 노출되도록 상기 기판을 일부 제거하여 적어도 2개의 핀을 형성하는 단계;

상기 핀을 피복하는 게이트 절연막을 형성하는 단계; 및

상기 게이트 절연막상에 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

청구항 7.
제6항에 있어서,

상기 게이트 절연막을 형성하는 단계는,

상기 스페이서를 식각하는 단계;

상기 홀의 바닥면까지 소자분리막을 일부 식각하여 상기 핀을 노출시키는 단계; 및

상기 노출된 핀의 표면을 피복하는 게이트 절연막용 산화막을 증착하는 단계를 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

청구항 8.
제6항 또는 제7항에 있어서,

상기 스페이서는 실리콘질화막인 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

청구항 9.
제8항에 있어서,

상기 실리콘질화막은 SiN인 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

청구항 10.
트렌치가 형성되어 있고 활성영역상에 하드마스크가 형성되어 있는 실리콘 기판을 제공하는 단계;

상기 하드마스크를 일부 제거하여 상기 하드마스크 양측면 아래의 활성영역을 노출시키는 단계;

상기 노출된 활성영역을 피복하도록 상기 트렌치내에 소자분리막을 형성하는 단계;

상기 하드마스크를 전부 제거하는 단계;

상기 소자분리막을 마스크로 하는 식각으로 상기 기판 일부를 제거하여 홀을 형성하고, 이와 동시에 상기 홀에 의해 이격되는 적어도 2개의 핀을 형성하는 단계;

상기 핀을 피복하는 게이트 절연막을 형성하는 단계; 및

상기 게이트 절연막상에 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

청구항 11.

제10항에 있어서,

상기 게이트 절연막을 형성하는 단계는,

상기 홀의 바닥면까지 상기 소자분리막을 일부 식각하여 상기 핀을 노출시키는 단계; 및

상기 노출된 핀 표면과 상기 홀의 바닥면에 게이트 절연막용 산화막을 증착하는 단계를 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

청구항 12.

제10항에 있어서,

상기 게이트 절연막을 형성하는 단계는,

상기 홀을 제1산화막으로 매립하는 단계;

상기 핀은 일부 노출되지만 상기 홀의 바닥면이 노출되지 않도록 상기 소자분리막과 제1산화막을 일부 식각하는 단계; 및

상기 일부 노출된 핀 표면을 피복하도록 제2산화막을 증착하는 단계를 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

청구항 13.

제10항에 있어서,

상기 핀의 임계치수는 상기 하드마스크를 일부 제거하는 시간에 의해 조절되는 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

청구항 14.

트렌치가 형성되어 있고 활성영역상에 하드마스크가 형성되어 있는 매몰 산화막을 포함하는 에스오아이(SOI) 기판을 제공하는 단계;

상기 하드마스크를 일부 제거하여 상기 하드마스크 양측면 아래의 활성영역을 노출시키는 단계;

상기 노출된 활성영역을 피복하도록 상기 트렌치내에 소자분리막을 형성하는 단계;

상기 하드마스크를 전부 제거하는 단계;

상기 소자분리막을 마스크로 하는 식각으로 상기 매몰 산화막이 노출되도록 상기 기판 일부를 제거하여 홀을 형성하고, 이와 동시에 상기 홀에 의해 이격되는 적어도 2개의 핀을 형성하는 단계;

상기 핀을 피복하는 게이트 절연막을 형성하는 단계; 및

상기 게이트 절연막상에 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

청구항 15.

제14항에 있어서,

상기 게이트 절연막을 형성하는 단계는,

상기 홀의 바닥면까지 소자분리막을 일부 식각하여 상기 핀을 노출시키는 단계; 및

상기 노출된 핀의 표면을 피복하는 게이트 절연막용 산화막을 증착하는 단계를 포함하는 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

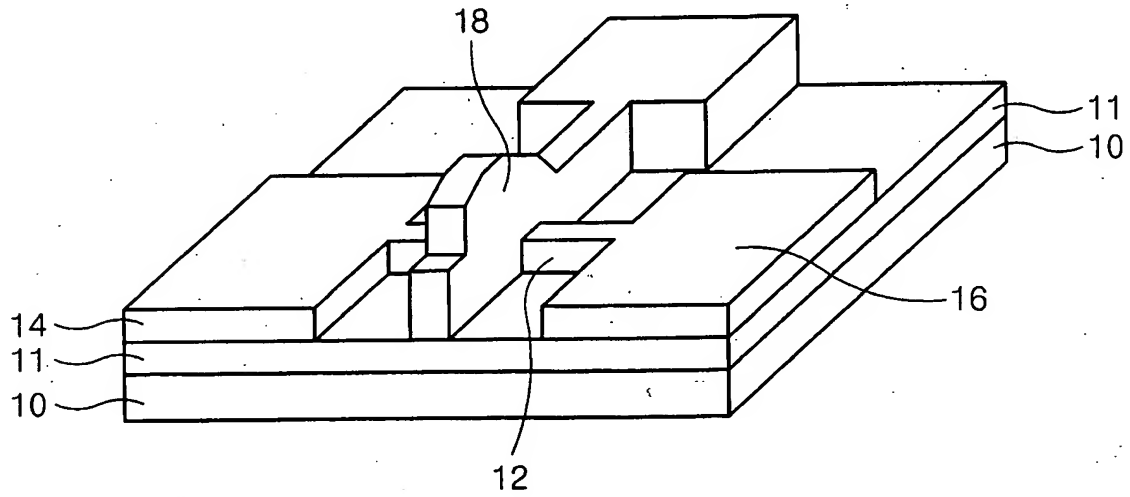
청구항 16.

제14항에 있어서,

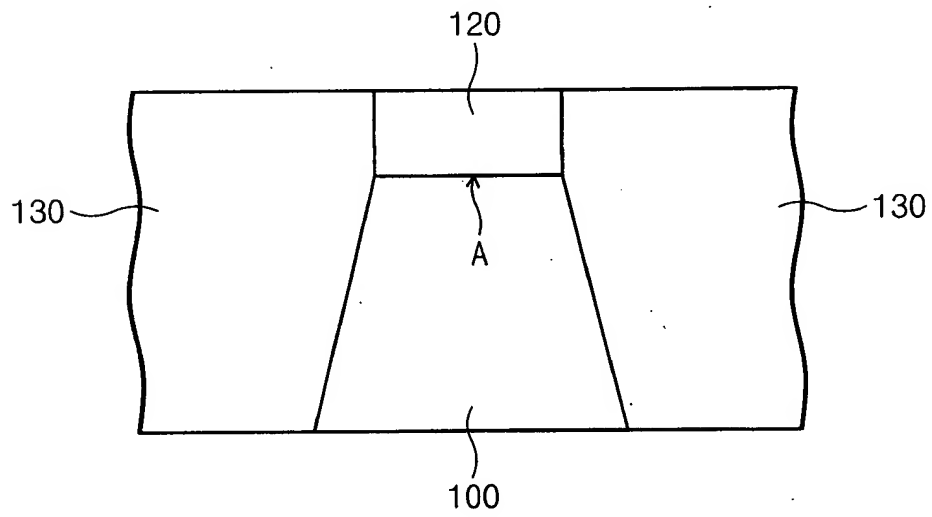
상기 핀의 임계치수는 상기 하드마스크를 일부 제거하는 시간에 의해 조절되는 것을 특징으로 하는 핀 전계효과 트랜지스터의 형성방법.

도면

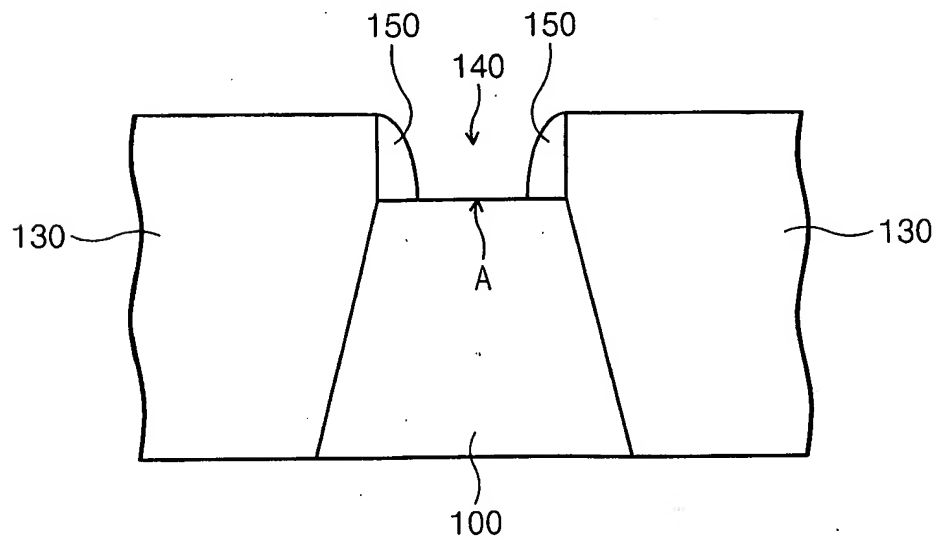
도면 1.



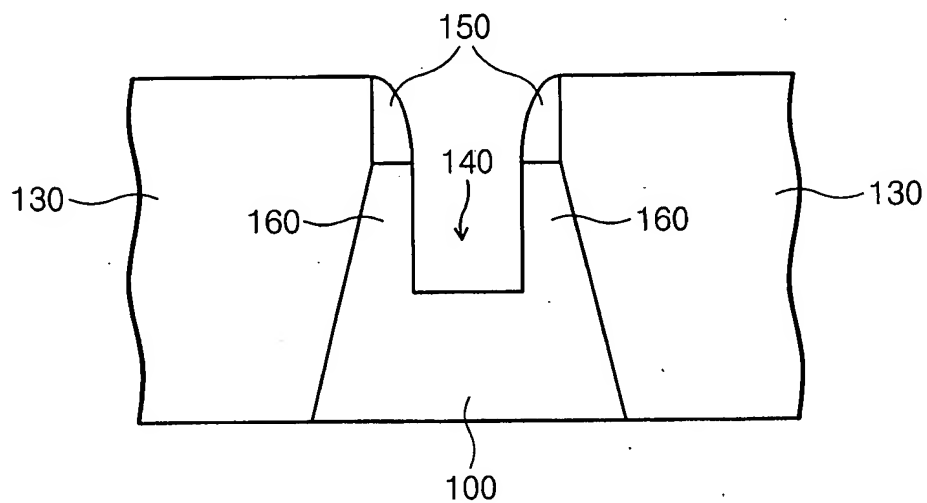
도면 2



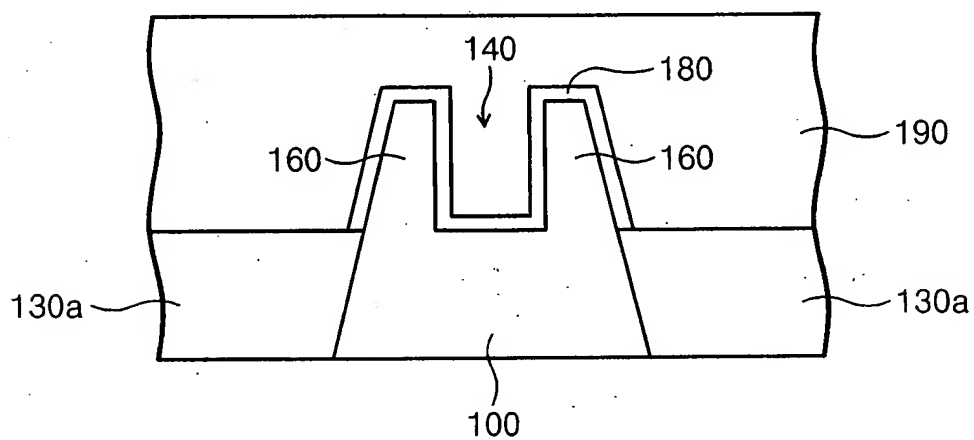
도면 3



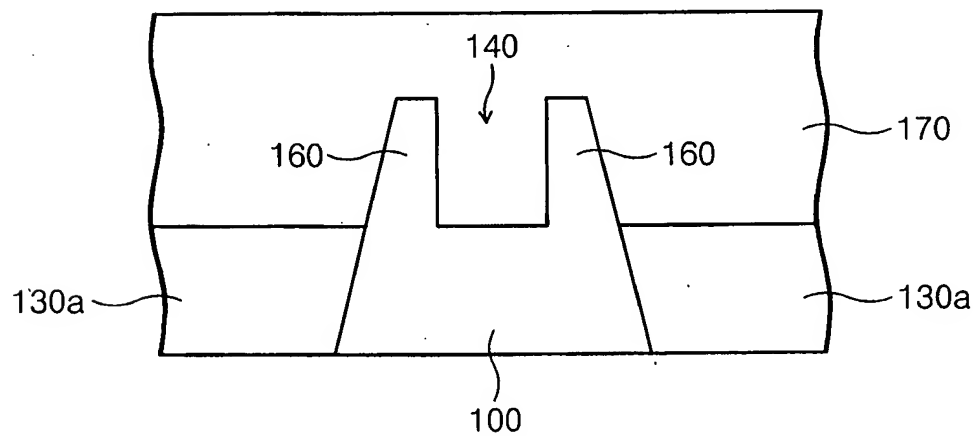
도면 4



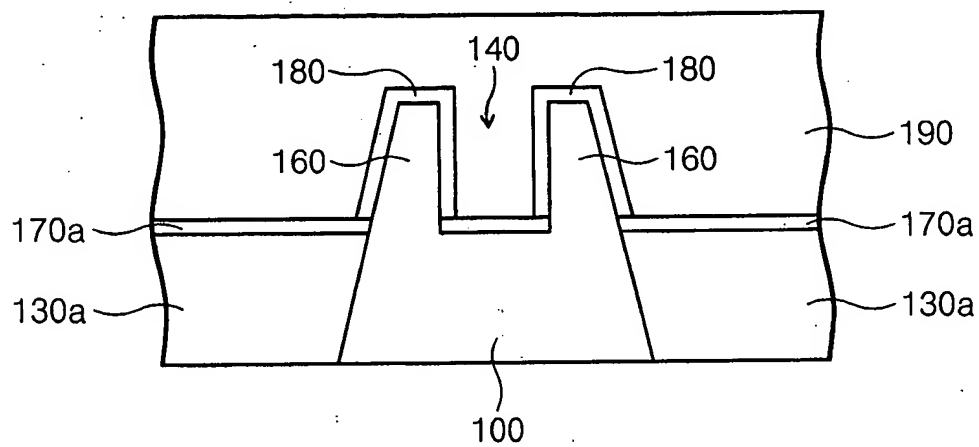
도면 5



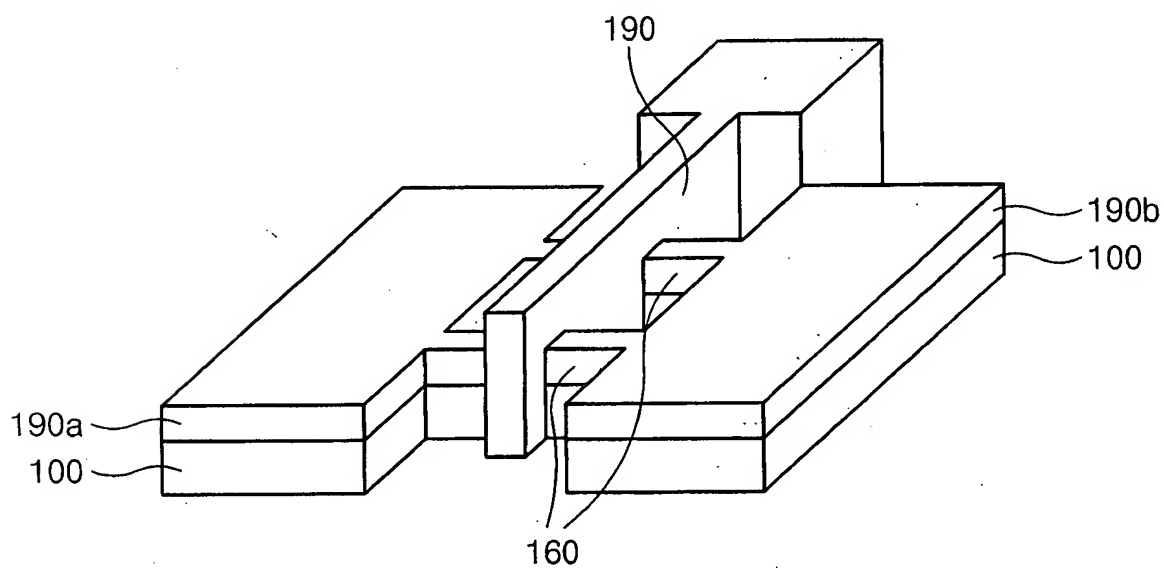
도면 6



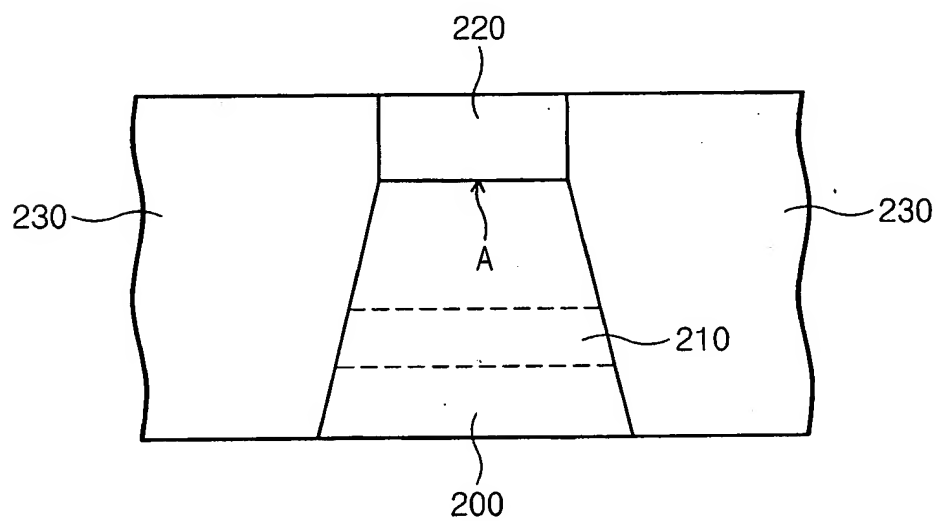
도면 7



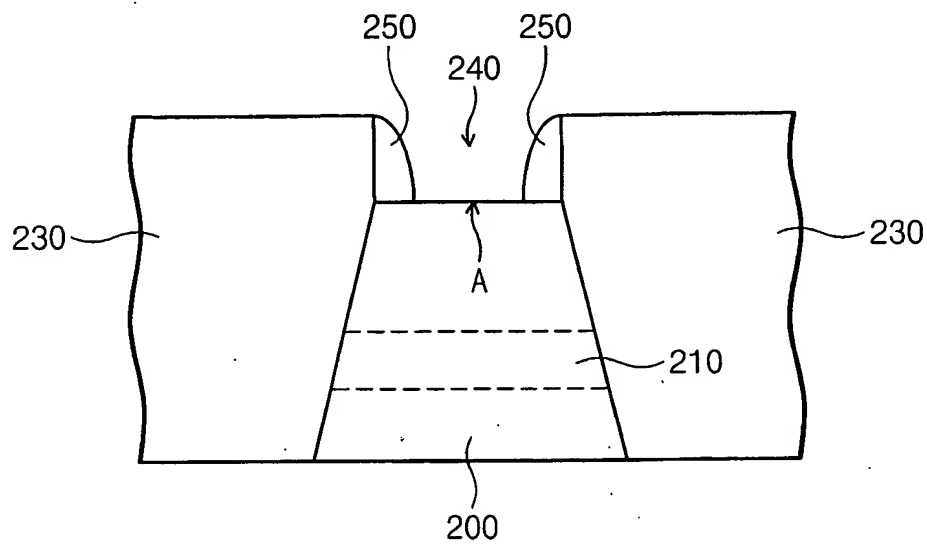
도면 8



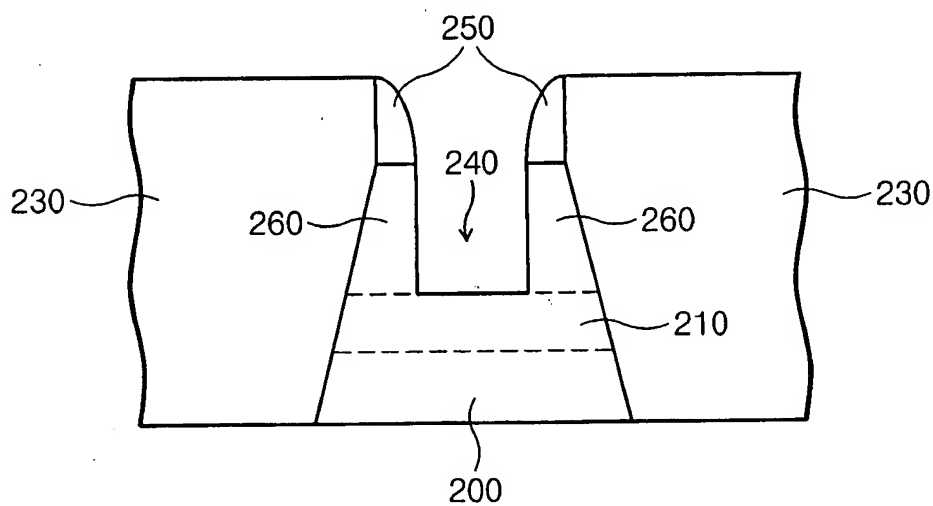
도면 9



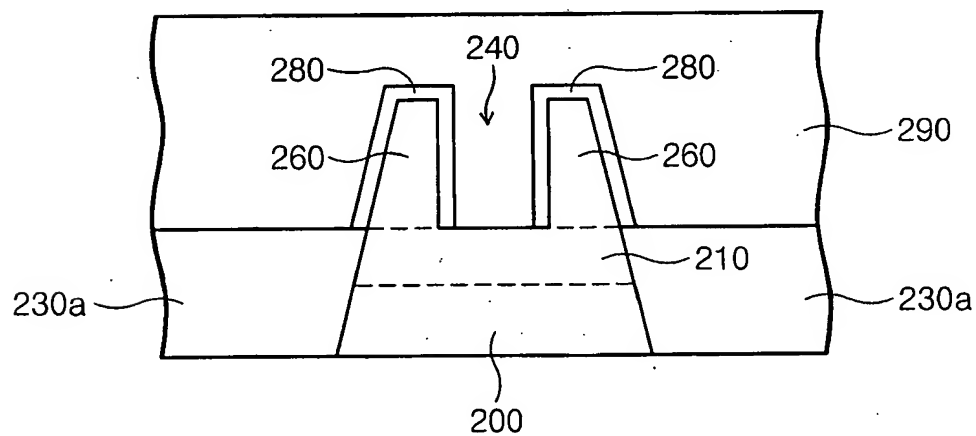
도면 10 .



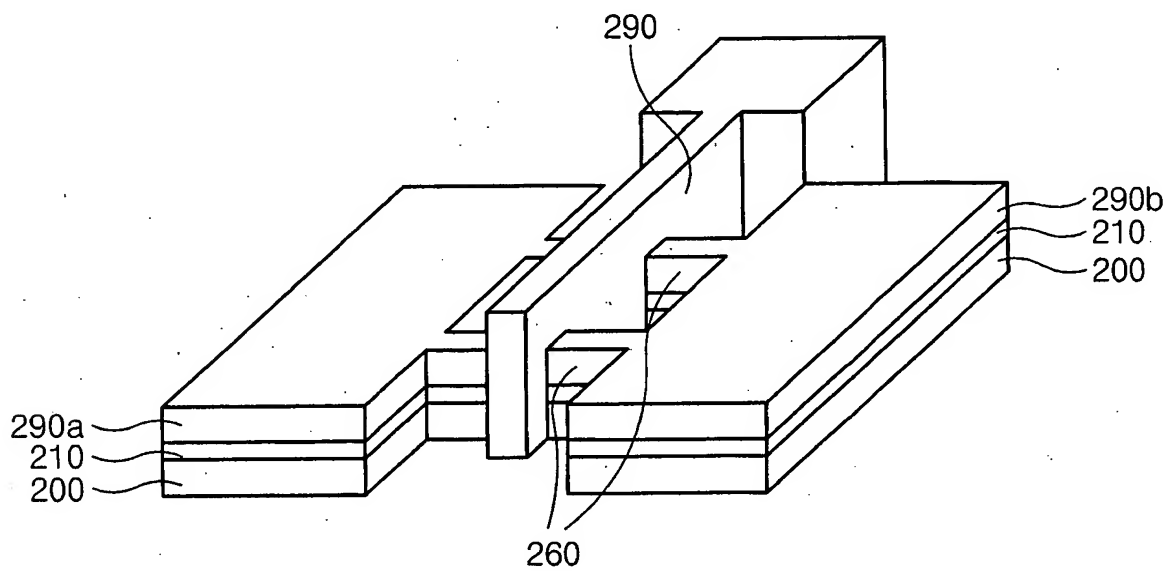
도면 11



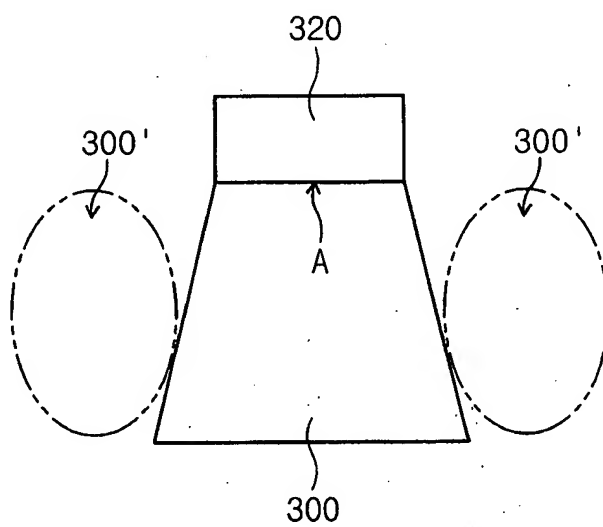
도면 12



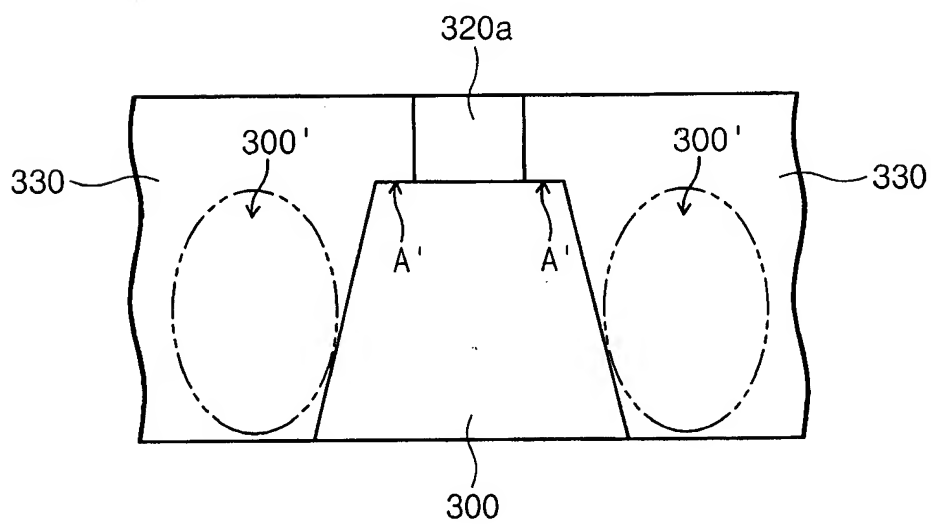
도면 13



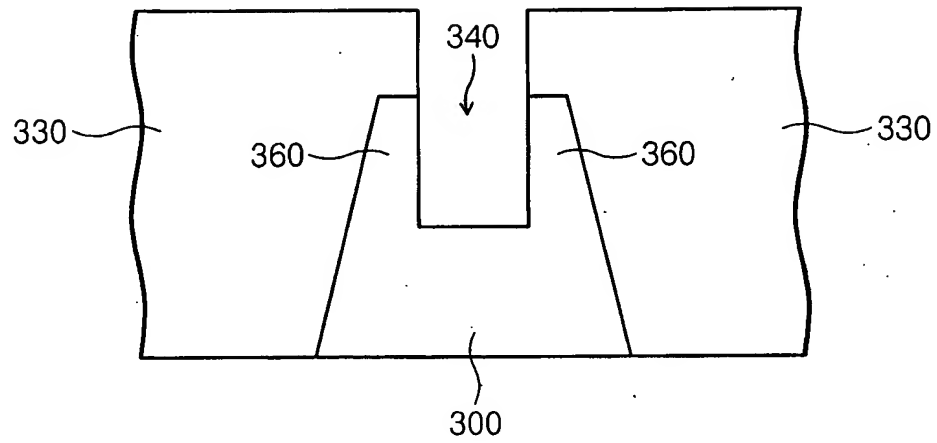
도면 14



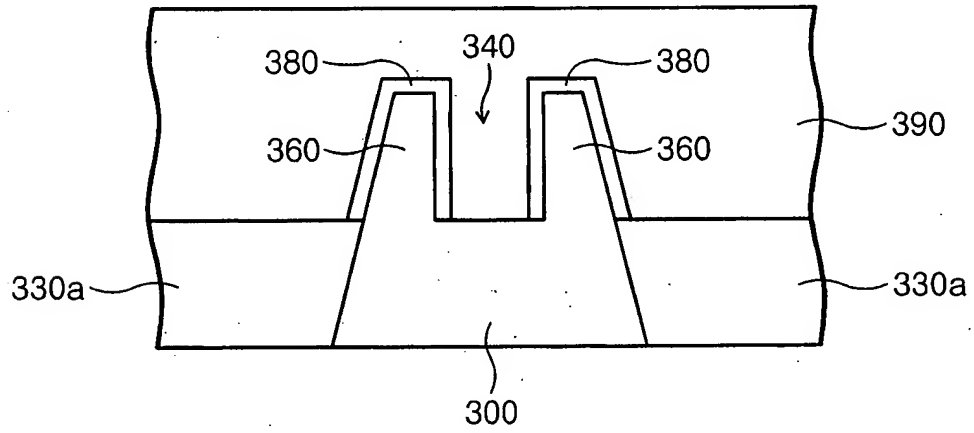
도면 15



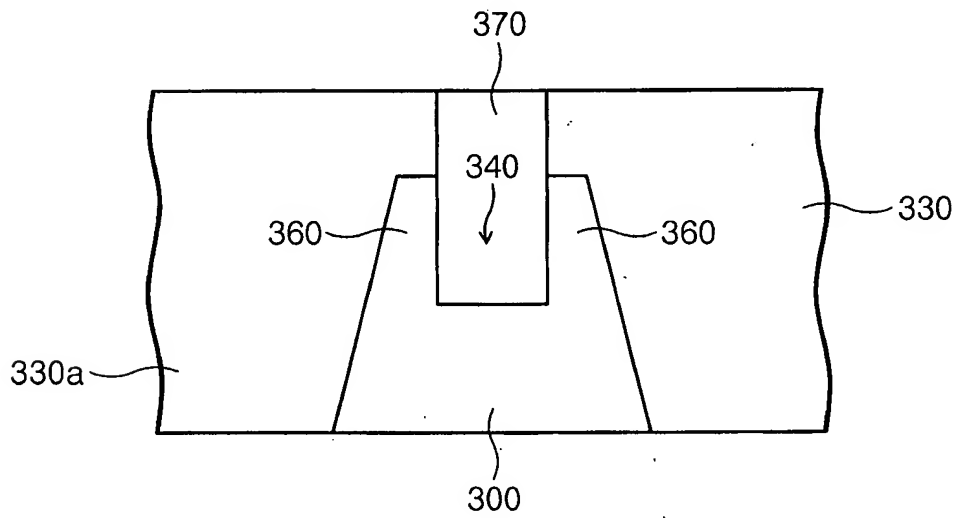
도면 16



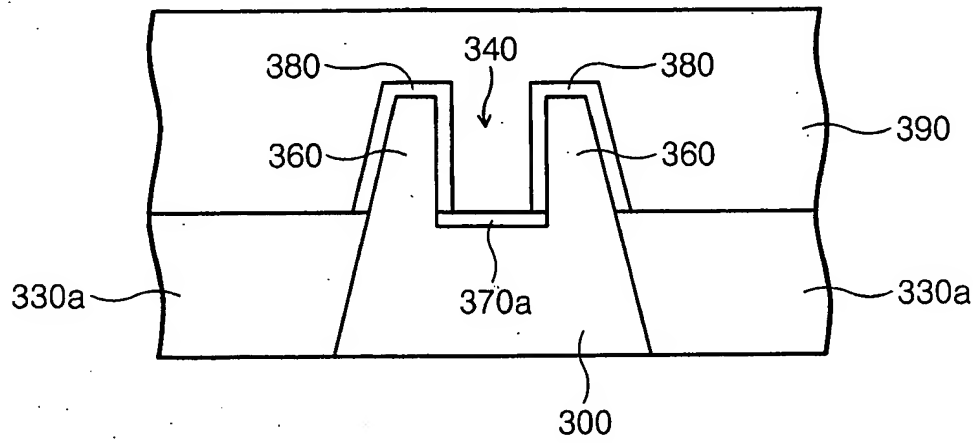
도면 17



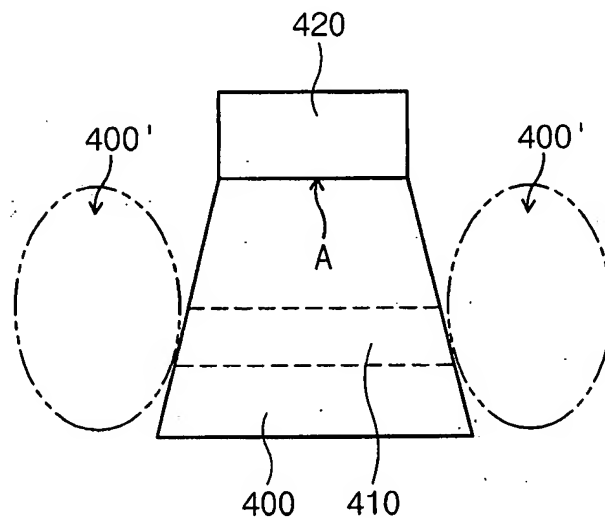
도면 18



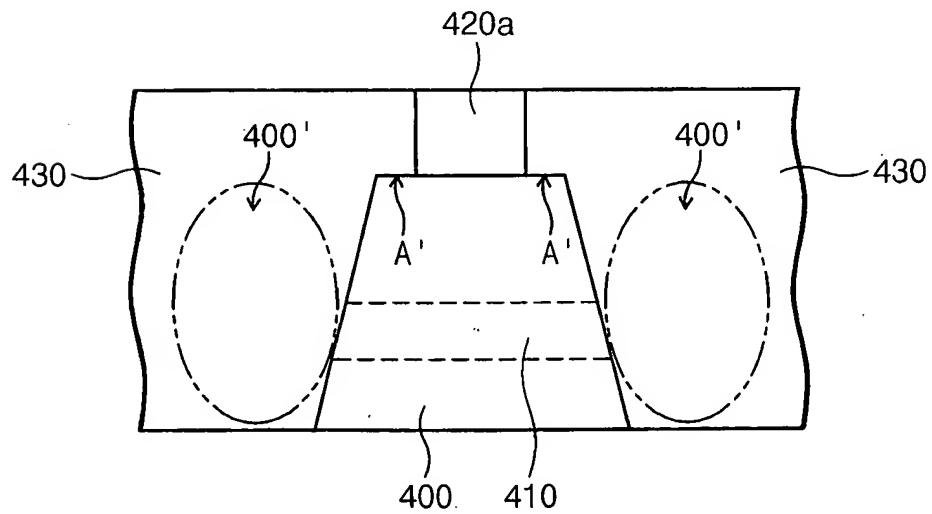
도면 19.



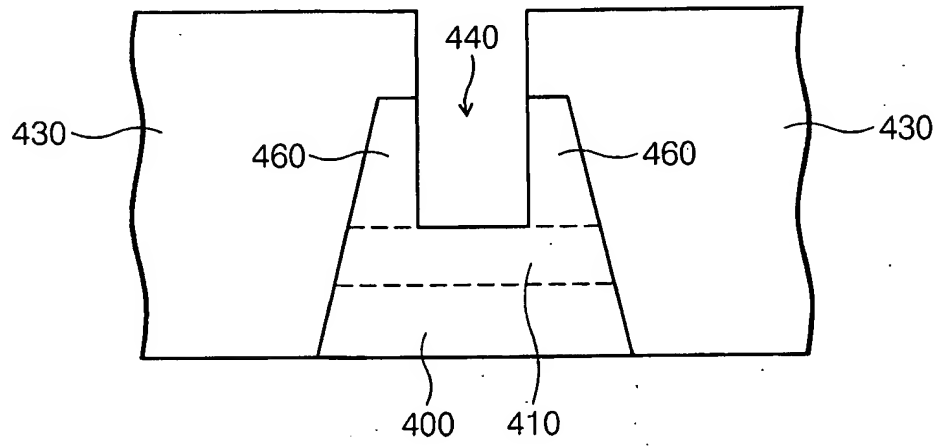
도면 20



도면 21



도면 22



도면 23

